

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-350440

(43) Date of publication of application : 15.12.2000

H02# 3/155

(71)Applicant : MURATA MFG CO LTD

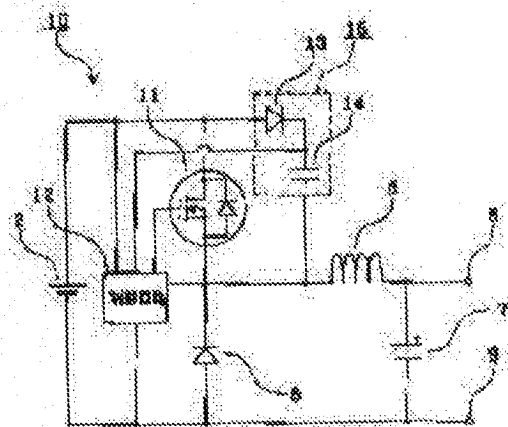
(72)Inventor : HOSOYA TATSUYA
TAKEMURA HIROSHI

(54) STEPDOWN SWITCHING POWER SOURCE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce loss in a step-down switching power source circuit which uses an N-type MOSFET as a switching element and has an overcurrent protecting circuit using a voltage drop due to on-resistance generated in the N-type MOSFET.

SOLUTION: A switching element is constituted of an N-type MOSFET 11. A bootstrap circuit 15 generates a voltage which is to be applied to the gate of the N-type MOSFET. A control circuit 12 is provided with an overcurrent protecting circuit which detects a voltage drop due to an on-resistance of the MOSFET 11. When the detected voltage exceeds a first specified voltage, the protecting circuit gradually limits the on time of the MOSFET 11. When the detected voltage reaches a second voltage higher than the first voltage, the protective circuit makes the on time zero or sufficiently short. As a result, the loss of a stepdown switching power source circuit is reduced, and cost reduction and overheat protection of the switching element can be realized.



LEGAL STATUS

15.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-350440

(P2000-350440A)

(43) 公開日 平成12年12月15日(2000.12.15)

(51) Int. Cl.⁷

H02M 3/155

識別記号

F1

H02M 3/155

ターム(参考)

C 5H730

T

審査請求 未請求 請求項の数3

OL

(全7頁)

(21) 出願番号 特願平11-154045

(22) 出願日 平成11年6月1日(1999.6.1)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 細谷 達也

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 竹村 博

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) 5H730 AA20 BB13 BB57 DD04 DD13

EE08 EE10 EE14 XX03 XX15

XX26 XX31 XX47

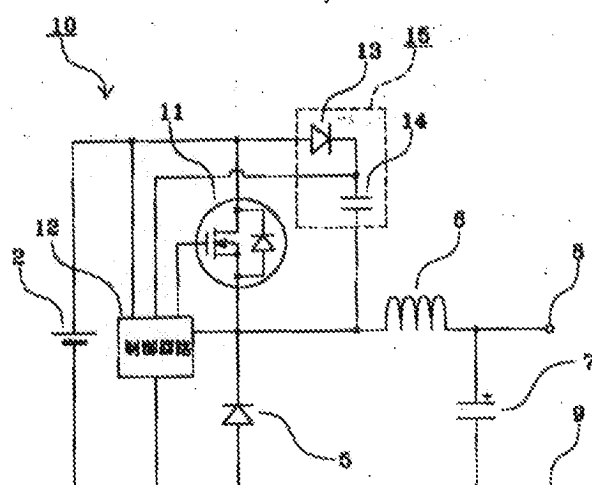
(54) 【発明の名称】 降圧型スイッチング電源回路

(57) 【要約】

【課題】 スwitchング素子としてN型MOSFETを用い、そのN型MOSFETに生じるオン抵抗による電圧降下を利用した過電流保護回路を有する降圧型スイッチング電源回路において、低損失化を実現することができる。

【解決手段】 スwitchング素子がN型MOSFET 11からなり、そのゲートに印加する電圧を発生させるブートストラップ回路15を備えてなるとともに、N型MOSFET 11のオン抵抗による電圧降下を検出して、それが所定の第1の電圧を超えるとN型MOSFET 11のオン時間を徐々に制限し、第1の電圧より高い第2の電圧に到達した時点でオン時間をゼロまたは十分に短い時間にする過電流保護回路を含む制御回路12を備える。

【効果】 降圧型スイッチング電源回路の低損失化、低価格化とスイッチング素子の過熱保護を図ることができる。



【特許請求の範囲】

【請求項1】 直流電源とスイッチング素子と該スイッチング素子を制御する制御回路を有し、前記直流電源からの直流入力電圧を前記スイッチング素子でオンオフして安定な出力電圧を得るようにした降圧型スイッチング電源回路において、

前記スイッチング素子がN型MOSFETからなり、該N型MOSFETのゲートに印加する電圧を発生させるブートストラップ回路を備えるとともに、前記N型MOSFETのオン抵抗による電圧降下を検出して、該電圧降下が所定の第1の電圧を超えると前記N型MOSFETのオン時間を徐々に制限し、前記第1の電圧より高い第2の電圧に到達した時点でオン時間をゼロまたは十分に短い時間にする過電流保護回路を備えてなることを特徴とする降圧型スイッチング電源回路。

【請求項2】 前記スイッチング素子として、複数の前記N型MOSFETが並列に接続されてなることを特徴とする、請求項1に記載の降圧型スイッチング電源回路。

【請求項3】 前記スイッチング素子のオンオフ動作に同期して整流を行う同期整流回路を備えたことを特徴とする、請求項1または2に記載の降圧型スイッチング電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は降圧型スイッチング電源回路、特にスイッチング素子に生じるオン抵抗による電圧降下を利用した過電流保護回路を有する降圧型スイッチング電源回路に関する。

【0002】

【従来の技術】 図5に、スイッチング素子に生じるオン抵抗による電圧降下を利用して過電流保護、特に出力短絡保護を行う降圧型スイッチング電源回路を示す。ここで、オン抵抗とは、スイッチング素子がオン状態の時、すなわち導通時の内部抵抗のことを示している。なお、スイッチング素子の導通時の電圧降下の原因は、必ずしもオン抵抗のみによるものではなく、スイッチング素子の内部や外部との接続部のインダクタンス成分によるものなども考えられるが、ここでは主要な要因であるオン抵抗で代表させる。また、図5に示した降圧型スイッチング電源回路の基本的な考え方は、例えば特開平6-311734号公報に開示されている。

【0003】 図5において、降圧型スイッチング電源回路1は、直流電源2、スイッチング素子であるP型MOSFET3、過電流保護回路を含む制御回路4、ダイオード5、インダクタ6、コンデンサ7、出力端子8および9から構成されている。ここで、直流電源2の正極はP型MOSFET3のドレインに接続され、P型MOSFET3のソースはインダクタ6を介して出力端子8に接続されている。直流電源2の負極は出力端子9に接続

されている。制御回路4はP型MOSFET3のドレインおよびソースに接続されるとともに、P型MOSFET3の制御端子であるゲートにも接続され、さらに、直流電源2の負極にも接続されている。ダイオード5はカソードがP型MOSFET3のソースに接続され、アノードが直流電源2の負極に接続されている。そして、コンデンサ7は出力端子8と9の間に接続されている。なお、P型MOSFET3の記号には等価的に内蔵されるダイオードを同時に明示している。

【0004】 このように構成された降圧型スイッチング電源回路1において、P型MOSFET3を制御回路4によってオンオフすることによって、出力端子8と9の間には直流電源2から出力される電圧よりも低い電圧が出力される。この時、制御回路4はP型MOSFET3のソースとドレインの両者に接続されているため、P型MOSFET3がオンの時のP型MOSFET3のソースとドレインの電位を検出し、その差、すなわちP型MOSFET3のオン抵抗による電圧降下を検出することができる。そして、制御回路4はこのオン抵抗による電圧降下をモニターして、出力電流が増えることによって電圧降下が一定以上の値になった段階で、P型MOSFET3のオン時間を短くするなどして出力電流を制限し、過電流保護や出力短絡保護を行うことができる。

【0005】 このように、スイッチング素子のオン抵抗による電圧降下を検出して過電流保護や出力短絡保護を行うことによって、出力電流を検出するために出力に直列に挿入する電流検出抵抗が不要になり、降圧型スイッチング電源回路の低損失化を図ることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、P型MOSFETは、N型MOSFETに比較して高価で、しかもオン抵抗が相対的に高いために、スイッチング素子のオン時の損失が比較的大きいという問題がある。一方、N型MOSFETを使う場合には、ゲート電位をソース電位より高くする必要があるため、降圧型スイッチング電源回路においては使用が難しいという問題がある。なお、特開平6-311734号公報には、スイッチング素子としてN型MOSFETを用いることができると記載されているが、具体的な構成については何ら開示されていない。

【0007】 そこで、本発明では、スイッチング素子としてN型MOSFETを用い、そのN型MOSFETに生じるオン抵抗による電圧降下を利用した過電流保護回路を有する降圧型スイッチング電源回路において、損失の低減を図ることを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明の降圧型スイッチング電源回路は、直流電源とスイッチング素子と該スイッチング素子を制御する制御回路を有し、前記直流電源からの直流入力電圧を前記

スイッチング素子でオンオフして安定な出力電圧を得るようにした降圧型スイッチング電源回路において、前記スイッチング素子がN型MOSFETからなり、該N型MOSFETのゲートに印加する電圧を発生させるブートストラップ回路を備えるとともに、前記N型MOSFETのオン抵抗による電圧降下を検出して、該電圧降下が所定の第1の電圧を超えると前記N型MOSFETのオン時間を徐々に制限し、前記第1の電圧より高い第2の電圧に到達した時点でオン時間をゼロまたは十分に短い時間にする過電流保護回路を備えてなることを特徴とする。

【0009】また、本発明の降圧型スイッチング電源回路は、前記スイッチング素子として、複数の前記N型MOSFETが並列に接続されてなることを特徴とする。

【0010】また、本発明の降圧型スイッチング電源回路は、前記スイッチング素子のオンオフ動作に同期して整流を行う同期整流回路を備えたことを特徴とする。

【0011】このように構成することにより、本発明の降圧型スイッチング電源回路は、低損失化と低コスト化を図ることができる。

【0012】

【発明の実施の形態】図1に、本発明の降圧型スイッチング電源回路の一実施例を示す。図1において、図5と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0013】図1において、降圧型スイッチング電源回路10は、図5におけるP型MOSFET3に代えてN型MOSFET11が設けられており、N型MOSFET11のドレインは直流電源2の正極に、ソースはインダクタ6およびダイオード5のカソードに接続されている。また、図5における制御回路4に代えて過電流保護回路を含む制御回路12が設けられており、N型MOSFET11のドレインおよびソースに接続されるとともに、N型MOSFET11の制御端子であるゲートにも接続され、さらに、直流電源2の負極にも接続されている。さらに、降圧型スイッチング電源回路10にはブートストラップ回路15が設けられている。ブートストラップ回路15はN型MOSFET11のソースとドレインの間に直列に接続されたダイオード13およびコンデンサ14から構成されている。ここで、ダイオード13はカソードをコンデンサ14に接続して配置されており、ダイオード13とコンデンサ14の接続点は制御回路12に接続されている。また、N型MOSFET11の記号には等価的に内蔵されるダイオードを明示している。

このように構成された降圧型スイッチング電源回路10において、ブートストラップ回路15は、N型MOSFET11がオフでダイオード5が導通している期間に、直流電源2からダイオード13を通じてコンデンサ14に電荷を蓄えることができ、この電圧によりN型MOS

FET11がオンの時に、ダイオード13とコンデンサ14の接続点の電位をN型MOSFET11のソース電位より高くすることができる。ダイオード13とコンデンサ14の接続点は制御回路12に接続されているため、ダイオード13とコンデンサ14の接続点の電位は制御回路12を介してN型MOSFET11のゲートに印加される。このようにして、降圧型スイッチング電源回路10においては、ブートストラップ回路15でN型MOSFET11のソース電位より高い電位を作り出してN型MOSFET11のゲート電位とすることができ

る。

【0014】このように、スイッチング素子としてP型MOSFETより安価でオン抵抗が低いN型MOSFETを用いることができるため、P型MOSFETを用いる場合に比べて低コスト化、低損失化を図ることができる。

【0015】また、この降圧型スイッチング電源回路10においては、P型MOSFETを用いる場合と同様に、スイッチング素子であるN型MOSFETに生じるオン抵抗による電圧降下を利用して過電流保護回路を働かせることができる。ここで、図2に、降圧型スイッチング電源回路10のN型MOSFET11に生じるオン抵抗による電圧降下と出力電圧との関係を示し、これを用いて説明する。すなわち、制御回路12に含まれる過電流保護回路は、N型MOSFET11に生じるオン抵抗による電圧降下が第1の電圧V1を超えるとN型MOSFET11のオン時間を短くしたり、オンの回数を間引く、あるいはスイッチング周波数を変化させるなどして徐々に出力電圧を低下させ、さらに第1の電圧V1より高い第2の電圧V2に到達した時点でN型MOSFET11のオン時間をゼロまたは十分に短い時間にして出力を遮断または十分に小さい値にする。

【0016】このとき、制御回路12に含まれる過電流保護回路は、すでに述べたように、N型MOSFET11に生じるオン抵抗による電圧降下を利用している。そして、N型MOSFET11のオン抵抗は一般に正の温度特性を有する。そのため、出力電流に必ずしも変化がなくても、降圧型スイッチング電源回路10の内部温度が上昇するなどしてN型MOSFET11の接合温度が上昇した場合にもオン抵抗が増加し、オン抵抗における電圧降下も増大する。その結果、このN型MOSFET11の接合温度の上昇によるオン抵抗の増加に対しても制御回路12に含まれる過電流保護回路が働く。これはN型MOSFET11、すなわちスイッチング素子の過熱保護を意味する。

【0017】このように、本発明の降圧型スイッチング電源回路10においては、過電流保護機能に加えてスイッチング素子の過熱保護機能を有するものである。

【0018】なお、本発明の降圧型スイッチング電源回路におけるブートストラップ回路としては、直列に接続

10

20

30

40

50

されたコンデンサとダイオードからなる構成に限定されるものではなく、N型MOSFET 11のソース電位より高い電位を作って制御回路12に供給することのできるものであれば、どのような構成であっても構わないものである。

【0019】図3に、本発明の降圧型スイッチング電源回路の別の実施例を示す。図3において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0020】図3において、降圧型スイッチング電源回路20は、スイッチング素子である3つのN型MOSFET 21、22、23が、ドレインを直流電源2の正極に、ソースをインダクタ6およびダイオード5のカソードにそれぞれ接続して構成されている。また、過電流保護回路を含む制御回路24は、N型MOSFET 21、22、23のドレインおよびソースに接続されるとともに、N型MOSFET 21、22、23の制御端子であるゲートにも接続され、さらに、直流電源2の負極にも接続されている。

【0021】このように構成された降圧型スイッチング電源回路20において、スイッチング素子としてN型MOSFET 21、22、23が3つ並列に接続されており、制御回路24から同時にオンオフするように制御される。そのため、各N型MOSFET 21、22、23のそれぞれのオン抵抗の値は変わらないものの、3つ並列に接続されることによって、全体としてオン抵抗の値を約1/3にすることができ、N型MOSFET 21、22、23のオン抵抗による損失を小さくすることができる。そして、これによって降圧型スイッチング電源回路20自身の損失の低減を図ることができる。

【0022】また、3つのN型MOSFET 21、22、23を並列に接続して、各N型MOSFETのオン抵抗に多少のばらつきがあっても、N型MOSFETは一般に正の温度特性を有することから、いずれか1つのN型MOSFETに電流集中が起きることがなく、安定した過電流値を得ることができる。

【0023】なお、上記の実施例においてはスイッチング素子であるN型MOSFETの数を3つとしたが、2つのN型MOSFETを並列に接続したものであってもよく、この場合には全体としてのオン抵抗の値を約1/2にすることができる。また4つ以上のN型MOSFETを並列に接続したものであってもよく、この場合には全体としてのオン抵抗の値をさらに小さくすることができる。

【0024】図4に、本発明の降圧型スイッチング電源回路のさらに別の実施例を示す。図4において、図1と同一もしくは同等の部分には同じ記号を付し、その説明を省略する。

【0025】図4において、降圧型スイッチング電源回路30は、スイッチング素子である2つのN型MOSFET 31、32が、ドレインを直流電源2の正極に、ソ

ースをインダクタ6にそれぞれ接続して設けられるとともに、整流用のダイオード5に代えて、2つのN型MOSFET 33、34が、ドレインをインダクタ6に、ソースを直流電源2の負極にそれぞれ接続して並列に設けられている。このうち、2つのN型MOSFET 33、34は同期整流回路35を構成している。また、過電流保護回路を含む制御回路36は、N型MOSFET 31、32のドレインおよびソースに接続されるとともに、N型MOSFET 31、32の制御端子であるゲートにも接続され、また、N型MOSFET 33、34の制御端子であるゲートにも接続され、さらに、直流電源2の負極にも接続されている。

【0026】このように構成された降圧型スイッチング電源回路30において、スイッチング素子としてN型MOSFET 31、32が2つ並列に接続されており、制御回路35から同時にオンオフするように制御される。そして、同期整流回路35のN型MOSFET 33、34はN型MOSFET 31、32がオフの時にオンするように同期制御される。N型MOSFET 31、32がオフの時には、N型MOSFET 33、34のソースからドレインに向かって電流が流れ、N型MOSFET 31、32がオンの時にはN型MOSFET 33、34はオフとなるため、N型MOSFET 33、34はダイオードと同様の働きをする。そして、N型MOSFET 33、34のオン抵抗がダイオードの順方向電圧降下よりも小さい素子を用い、しかも2つのN型MOSFET 33、34が並列に接続されていることから、N型MOSFET 33、34のオン時の導通損失は、ダイオードを用いた場合と比較して大幅に小さくなる。そして、これによって、降圧型スイッチング電源回路30自身の損失の低減を図ることができる。

【0027】なお、同期整流回路のN型MOSFETの数は2個に限られるものではなく、1つのN型MOSFETもしくは並列に接続された3つ以上のN型MOSFETであっても構わないものである。

【0028】

【発明の効果】本発明の降圧型スイッチング電源回路によれば、スイッチング素子がN型MOSFETからなり、そのゲートに印加する電圧を発生させるブートストラップ回路を備えてなるとともに、N型MOSFETのオン抵抗による電圧降下を検出して、それが所定の第1の電圧を超えるとN型MOSFETのオン時間を徐々に制限し、第1の電圧より高い第2の電圧を超えた時点でオン時間をゼロまたは十分に短い時間にする過電流保護回路を備えてなるとによって、降圧型スイッチング電源回路の低損失化、低価格化とスイッチング素子の過熱保護を図ることができる。

【0029】また、複数のN型MOSFETを並列に接続してスイッチング素子とすることによって、さらなる

低損失化を図ることができる。

【0030】また、スイッチング素子のオンオフ動作に同期して整流を行う同期整流回路を備えることによって、さらなる低損失化を図ることができる。

【図面の簡単な説明】

【図1】本発明の降圧型スイッチング電源回路の一実施例を示す回路図である。

【図2】図1の降圧型スイッチング電源回路のN型MOSFETに生じるオン抵抗による電圧降下と出力電圧との関係を示す図である。

【図3】本発明の降圧型スイッチング電源回路の別の実施例を示す回路図である。

【図4】本発明の降圧型スイッチング電源回路のさらに別の実施例を示す回路図である。

【図5】従来の降圧型スイッチング電源回路を示す回路

図である。

【符号の説明】

2…直流電源

5…ダイオード

6…インダクタ

7…コンデンサ

8、9…出力端子

10、20、30…降圧型スイッチング電源回路

11、21、22、23、31、32、33、34…N

10 型MOSFET

12、24、36…制御回路

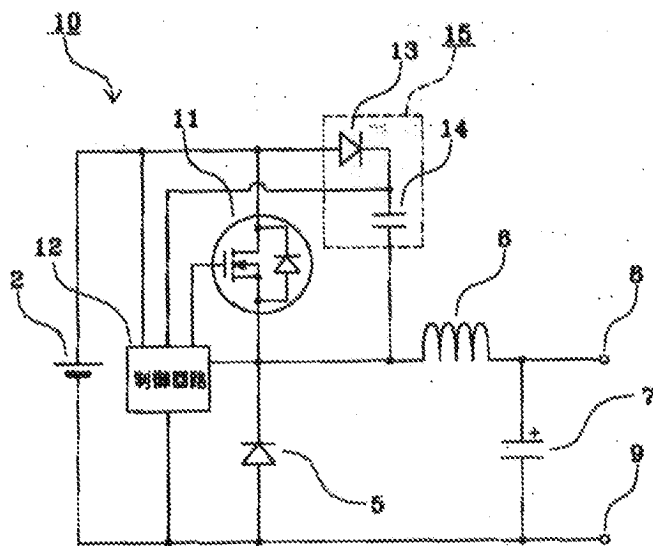
13…ダイオード

14…コンデンサ

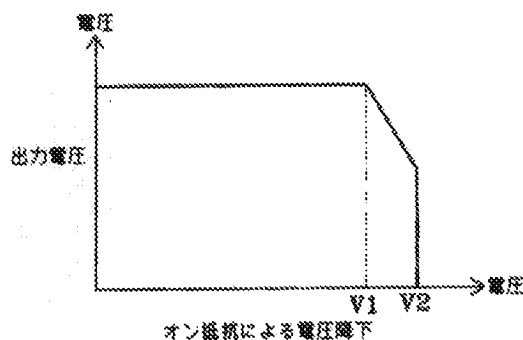
15…ブートストラップ回路

35…同期整流回路

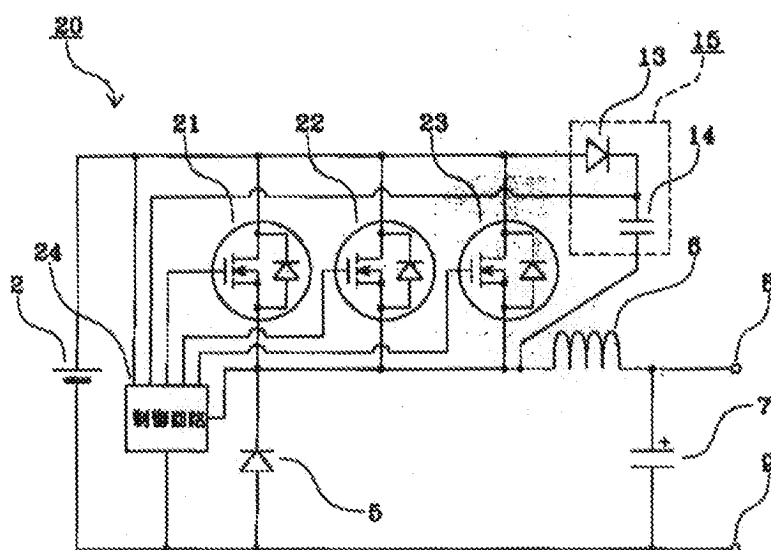
【図1】



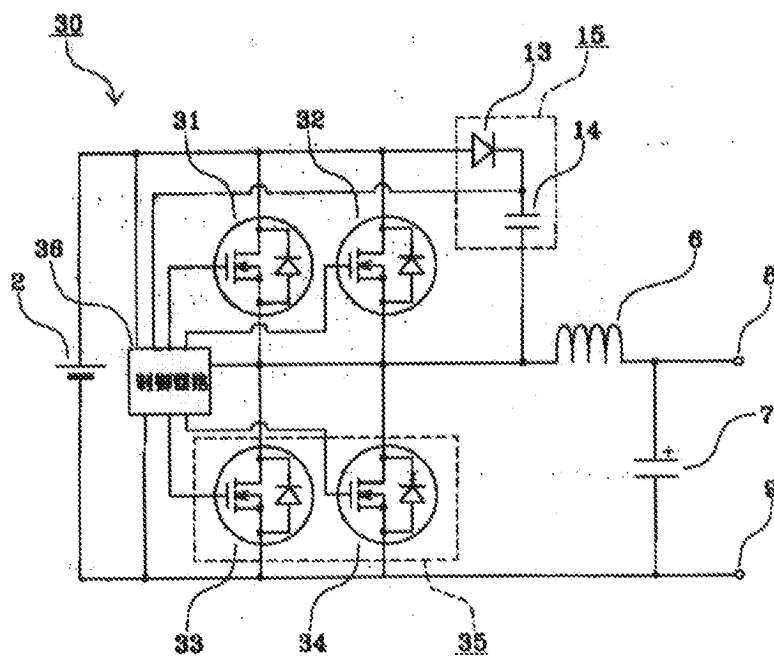
【図2】



【図3】



【図4】



【図5】

